

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-59201

(P2000-59201A)

(43)公開日 平成12年2月25日(2000.2.25)

(51) Int.Cl.
 H 03 K 19/0175
 G 11 C 11/417
 11/409

識別記号

F I
 H 03 K 19/00
 G 11 C 11/34

マーク一(参考)
 1 0 1 F
 3 0 5
 3 5 4 Q

審査請求 有 請求項の数10 FD (全 6 頁)

(21)出願番号 特願平10-236615

(22)出願日 平成10年8月10日(1998.8.10)

(71)出願人 000004237
 日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 小林 勝太郎
 東京都港区芝五丁目7番1号 日本電気株
 式会社内

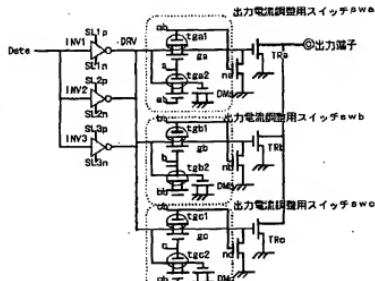
(74)代理人 100097113
 弁理士 堀 城之

(54)【発明の名称】 半導体装置及びそのデータ出力方法

(57)【要約】

【課題】 出力電流値を調整でき、出力データの立ち上がりと立ち下がり時間とを調整できる半導体装置において、回路規模の増加を抑え、出力ドライバの駆動能力を変化させた場合でも、出力データを設定した立ち上がり時間と立ち下がり時間とを一定に保つことのできる半導体装置を提供する点にある。

【解決手段】 図1に示すように、本実施の形態1に係る半導体装置は、インバータINV1～INV3と出力電流調整用スイッチswa～swcと出力トランジスタTRa～TRcとで概略構成される。



【特許請求の範囲】

【請求項1】 出力電流値を調整でき、出力データの立ち上がり時間と立ち下がり時間とを調整できる半導体装置であって、

半導体外部に出力データを出力する出力端子と、該出力端子に信号を出力する複数の出力回路と、各々の該出力回路を選択又は非選択する選択回路と、前記出力回路と等価の負荷を有する負荷調整回路とを備えたことを特徴とする半導体装置。

【請求項2】 前記選択回路を通じて前記出力回路を駆動する駆動線と、前記選択回路により非選択となった出力回路の替わりに前記負荷調整回路を前記駆動線に接続する負荷調整選択回路と、前記駆動線を介して前記出力回路を駆動する駆動線ドライバとを備えたことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記駆動線ドライバは、駆動線の立ち上がり時間と立ち下がり時間を調整できる調整信号を入力する1つ又は複数のインバータであることを特徴とする、請求項1又は2記載の半導体装置。

【請求項4】 前記選択回路は第1トランジスタゲートであり、前記負荷調整選択回路は第2トランジスタゲートであり、

出力回路は出力トランジスタであり、負荷調整回路は負荷調整トランジスタであることを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

【請求項5】 前記出力トランジスタの替わりにインバータ素子を備えたことを特徴とする請求項1乃至4のいずれかに記載の半導体装置。

【請求項6】 前記負荷調整トランジスタの替わりにインバータ素子を備えたことを特徴とする請求項1乃至5のいずれかに記載の半導体装置。

【請求項7】 出力電流値を調整でき、出力データの立ち上がり時間と立ち下がり時間とを調整できる半導体装置のデータ出力方法であって、

出力トランジスタを駆動する駆動線の負荷を一定に保ち、

出力トランジスタを駆動する駆動線の立ち上がり時間と立ち下がり時間とを制御することで、出力端子からの出力データの立ち上がり時間と立ち下がり時間とを制御することを特徴とする、半導体装置のデータ出力方法。

【請求項8】 インバータ（INV1～INV3）から出力の出力は駆動線（DRV）の入力信号となり、

該入力信号は、出力電流調整用スイッチ（swa～swc）を介し、駆動信号（ga～gc）として出力トランジスタ（TRa～TRc）に入力し、

該出力トランジスタ（TRa～TRc）は前記駆動信号（ga～gc）のレベルに従いオン又はオフとなり、

該出力トランジスタ（TRa～TRc）から出力端子にデータを伝達することを特徴とする、請求項7記載の半導体装置のデータ出力方法。

【請求項9】 調整信号（SL1p～SL3p、SL1n～SL3n）は、前記インバータ（INV1～INV3）を制御し、

出力電流調整信号（a～c、ab～cb）は出力電流調整用スイッチ（swa～swc）を制御し、選択時は駆動線（DRV）の入力信号を各々の前記出力

10 トランジスタに伝達し、

非選択時は各々の接続する前記出力トランジスタをオフにし、駆動線の入力信号を出力トランジスタと等価の容量を持つ負荷調整トランジスタ（DMa～DMc）に接続することを特徴とする請求項7又は8記載の半導体装置のデータ出力方法。

【請求項10】 請求項7乃至9のいずれかに記載の半導体装置のデータ出力方法を実行可能なプログラムが記載された記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、特に出力電流値を調整でき、出力データの立ち上がり時間と立ち下がり時間とを調整できる半導体装置に属する。

【0002】

【従来の技術】ラムバスDRAMなどの高速データ転送を行うシステムの場合、ボード上のデータバスのインビーダンス整合が重要である。バス上のインビーダンス設計をするにあたり、出力データの立ち上がり時間と立ち下がり時間を設定する必要があるが、これが一定でない30 とデータの変化によるノイズ量が一定でなくなり、システム設計が極めて困難になる。

【0003】従来の半導体装置の一例を、図4の構成図と、その各部の動作を示す図5の波形図および図6の構成図で示す。従来の半導体装置は、出力ドライバ回路の駆動能力調整機能と、出力データの立ち上がり時間と立ち下がり時間とを可変に調整できる機能とを有し、出力回路の駆動能力の変更は、第1トランジスタゲートtg a 1～tg c 1を設け、出力電流調整信号a～c、ab～cbの制御により行っている。また、出力データの立ち上がり時間と立ち下がり時間との調整機能は、出力トランジスタTRa～TRcの駆動線をドライブするインバータINV1～INV3のサイズを、調整信号SL1p～SL3nの組み合わせにより変更することで実現している。

【0004】

【発明が解決しようとする課題】しかしながら、従来技術には以下に掲げる問題点があった。図4の構成図に示す従来例では、駆動線負荷が出力電流能力の組み合わせにより変化し、これにより、駆動線の立ち上がり時間と50 立ち下がり時間が変化してしまうため、必要とされる

特性を得られない。

【0005】図5の波形図に示す従来例では、出力電流の設定を変更すると出力データの立ち上がり時間と立ち下がり時間が変化してしまう。

【0006】図6の構成図に示す従来例では、電流調整用の出力トランジスタ毎に駆動線のドライバ回路を設けたため、出力データの立ち上がり時間と立ち下がり時間とを一定に保てるが、複数の駆動線ドライバ回路が必要になり、それぞれに個別の出力データの立ち上がり時間と立ち下がり時間との制御回路が必要になるために、回路規模が非常に大きくなると言う欠点を持つ。

【0007】また、負荷の異なるそれぞれの出力回路、駆動線毎に最適な立ち上がり時間と立ち下がり時間との調整をしなければならず、設計ターンアラウンドタイム(以下TATと称す)の増大や、トランジスタサイズ、実物での配線の引き回し方による寄生素子等、それぞれの回路の相違点に対する製造ばらつきに起因する特性変動を考慮する必要があるという問題点があった。

【0008】本発明は斯かる問題点を鑑みてなされたものであり、その目的とすることは出力電流値を調整でき、出力データの立ち上がりと立ち下がり時間とを調整できる半導体装置において、回路規模の増加を抑え、出力ドライバの駆動能力を変化させた場合でも、出力データを設定した立ち上がり時間と立ち下がり時間とを一定に保つことのできる半導体装置を提供する点にある。

【0009】

【課題を解決するための手段】請求項1記載の本発明の要旨は、出力電流値を調整でき、出力データの立ち上がり時間と立ち下がり時間とを調整できる半導体装置であって、半導体外部に出力データを出力する出力端子と、該出力端子に信号を出力する複数の出力回路と、各々の該出力回路を選択又は非選択する選択回路と、前記出力回路と等価の負荷を有する負荷調整回路とを備えたことを特徴とする半導体装置。に存する。請求項2記載の本発明の要旨は、前記選択回路を通じて前記出力回路を駆動する駆動線と、前記選択回路により非選択となった出力回路の替わりに前記負荷調整回路を前記駆動線に接続する負荷調整選択回路と、前記駆動線を介して前記出力回路を駆動する駆動線ドライバとを備えたことを特徴とする請求項1記載の半導体装置に存する。請求項3記載の本発明の要旨は、前記駆動線ドライバは、駆動線の立ち上がり時間と立ち下がり時間とを調整できる調整信号を入力する1つ又は複数のインバータであることを特徴とする、請求項1又は2記載の半導体装置に存する。請求項4記載の本発明の要旨は、前記選択回路は第1トランジスタゲートであり、前記負荷調整選択回路は第2トランジスタゲートであり、出力回路は出力トランジスタであり、負荷調整回路は負荷調整トランジスタであることを特徴とする請求項1乃至3のいずれかに記載の半導体装置に存する。請求項5記載の本発明の要旨は、前

記出力トランジスタの替わりにインバータ素子を備えたことを特徴とする請求項1乃至4のいずれかに記載の半導体装置に存する。請求項6記載の本発明の要旨は、前記負荷調整トランジスタの替わりにインバータ素子を備えたことを特徴とする請求項1乃至5のいずれかに記載の半導体装置に存する。請求項7記載の本発明の要旨は、出力電流値を調整でき、出力データの立ち上がり時間と立ち下がり時間とを調整できる半導体装置のデータ出力方法であって、出力トランジスタを駆動する駆動線の負荷を一定に保ち、出力トランジスタを駆動する駆動線の立ち上がり時間と立ち下がり時間とを制御することで、出力端子からの出力データの立ち上がり時間と立ち下がり時間とを制御することを特徴とする、半導体装置のデータ出力方法に存する。請求項8記載の本発明の要旨は、インバータ(INV1～INV3)からの出力は駆動線(DRV)の入力信号となり、該入力信号は、出力電流調整用スイッチ(swa～swc)を介し、駆動信号(ga～gc)として出力トランジスタ(TRa～TRc)に入力し、該出力トランジスタ(TRa～TRc)は前記駆動信号(ga～gc)のレベルに従いオン又はオフとなり、該出力トランジスタ(TRa～TRc)から出力端子にデータを伝達することを特徴とする請求項7記載の半導体装置のデータ出力方法に存する。請求項9記載の本発明の要旨は、調整信号(SL1p～SL3p、SL1n～SL3n)は、前記インバータ(INV1～INV3)を制御し、出力電流調整信号(a～c、ab～cb)は出力電流調整用スイッチ(swa～swc)を制御し、選択時は駆動線(DRV)の入力信号を各々の前記出力トランジスタに伝達し、非選択時は各々の接続する前記出力トランジスタをオフにし、駆動線の入力信号を出力トランジスタと等価の容量を持つ負荷調整トランジスタ(DmA～DMc)に接続することを特徴とする請求項7又は8記載の半導体装置のデータ出力方法に存する。請求項10記載の本発明の要旨は、請求項7乃至9のいずれかに記載の半導体装置のデータ出力方法を実行可能なプログラムが記載された記憶媒体に存する。

【0010】

【発明の実施の形態】(実施の形態1)以下、本発明の実施の形態1を図面に基づいて詳細に説明する。図1に示すように、本実施の形態1に係る半導体装置は、インバータINV1～INV3と出力電流調整用スイッチswa～swcと出力トランジスタTRa～TRcとで概略構成される。

【0011】出力データの立ち上がり時間と立ち下がり時間との調整用のインバータINV1～INV3はデータを入力する。出力トランジスタTRa～TRcは、出力電流調整用スイッチswa～swcを介した駆動信号ga～gcを入力する。本実施の形態において出力トランジスタTRa～TRcは、Nチャネルトランジスタの

5

みで構成されるオーブンドレイン型としている。従って、出力トランジスタ TRa～TRc は駆動信号 g a～g c のレベルによりオン又はオフにされ、出力端子にデータを伝達する。

【0012】出力信号の立ち上がり時間と立ち下がり時間との調整信号 SL1p と SL1n、SL2p と SL2n、SL3p と SL3n 及び、出力電流調整信号 a と ab、b と bb、c と cb はそれぞれ相補信号である。

【0013】出力データの立ち上がり時間と立ち下がり時間との調整用のインバータ INV1～INV3 は前記調整信号 SL1p～SL3p、SL1n～SL3n により制御され、選択時は普通的インバータ素子として機能し、非選択時は出力がハイインピーダンスになるよう構成されている。

【0014】出力電流調整用スイッチ swa～swc は、前記出力電流調整信号 a～c、ab～cb により制御される。選択時は入力信号 DRV をそれぞれの出力トランジスタに伝達するが、非選択時はそれぞれの接続する出力トランジスタをオフにし、出力トランジスタ TRa～TRc と等価の容量を持つ負荷調整トランジスタ D Ma～DMc を駆動線 DRV に接続される。従って、前記出力電流調整信号 a～c、ab～cb の制御により、一部の出力回路は非選択とされ、出力回路非活性化回路 na～nc により活性化する。

【0015】非活性化した場合でも、出力回路を駆動する駆動線 DRV の負荷を選択の組み合わせで変化しないよう、第1トランスファーゲート t ga 1～t gc 1、第2トランスファーゲート t ga 2～t gc 2 と負荷調整回路 DMa～DMc を設けてある。負荷調整回路 DMa～DMc の負荷は、出力トランジスタ TRa～TRc の負荷と合わせてあり、駆動能力をいかなる組み合わせにしても出力トランジスタ TRa～TRc か、負荷調整回路 DMa～DMc のどちらかが選択され、両者の負荷は等しいため駆動線 DRV の負荷は一定となり駆動線 DRV の立ち上がり時間と立ち下がり時間とは一定を保ち、出力データの立ち上がり時間と立ち下がり時間とを一定にできる。従って、設計、最適化はただ一通りの駆動線負荷に対して行われる。

【0016】また、インバータ INV1～INV3 は駆動線ドライバで、本実施の形態のごとく前記駆動線ドライバが前記調整信号 SL1p～SL3p、SL1n～SL3n に制御されるような回路構成を取っていれば、トライステートバッファ数×2=調整信号数となる。

【0017】次に本実施の形態に係る半導体装置の動作の説明を図を用いて説明する。出力電流を調整するために出力電流調整用スイッチ swa～swc を切り替えて、出力データの立ち上がり時間と立ち下がり時間との調整用のインバータ INV1～INV3 の出力接点（駆動線 DRV）の負荷を常に一定にできるため、図2に示すように出力端子の立ち上がり時間と立ち下がり時

間とを調整信号 SL1n～SL3p、SL1n～SL3n で設定した値に保つことができる。

【0018】出力回路の駆動能力の変更を、第1トランスマニアゲート t ga 1～t gc 1 を設け、出力電流調整信号 a～c、ab～cb の制御により行ない、出力データの立ち上がり時間と立ち下がり時間との調整機能は、出力トランジスタ TRa～TRc の駆動線をドライバーするインバータ INV1～INV3 のサイズを立ち上がり時間と立ち下がり時間との調整信号 SL1p～SL3n の組み合わせにより変更することで実現している。

【0019】出力データの立ち上がり時間と立ち下がり時間との制御は、出力トランジスタ TRa～TRc を駆動する駆動線の立ち上がり時間と立ち下がり時間とを制御することで実現できる。例えば、この駆動線の立ち上がりがながらかであれば、出力トランジスタ TRa～TRc の駆動能力がながらかに増加し、駆動線が完全にハイレベルになり、論理的にオンと見なせる能力を持つまでに時間がかかる。すなわち、駆動線の立ち上がり時間と立ち下がり時間とを制御すれば出力データの立ち上

20 ジングルの立ち上がり時間とを制御することとなる。

【0020】実施の形態1に係る半導体装置は上記の如く構成されているので、以下に掲げる効果を奏す。駆動線負荷が出力電流能力の組み合わせにより変化せず、駆動線の立ち上がり時間と立ち下がり時間とが一定に保たれ、必要とされる特性を得られる。

【0021】また、1つの駆動線ドライバ回路を用いることにより、出力データの立ち上がり時間と立ち下がり時間との制御回路も1つで済み、回路規模を小さく押さえることができる。

【0022】また、駆動線毎に最適な立ち上がり時間と立ち下がり時間との調整をする必要なく、設計 TAT の増大を押さえ、それぞれの回路の相違点であるトランジスタサイズ、実物での配線の引き回し方による寄生素子等に対する製造ばらつきに起因する特性変動を考慮する必要がなくなり、本発明ではただ一通りの駆動線負荷に対して設計、最適化を行えばよい。

【0023】（実施の形態2）以下、本発明の実施の形態2を図面に基づいて詳細に説明する。図3に示すように、本実施の形態2に係る半導体装置は、実施の形態1 40 と同じような概略構成をしているが、出力トランジスタ TRa～TRc をインバータ素子 1 TRa～1 TRc に、負荷調整トランジスタ DMa～DMc をインバータ素子 1 DMa～1 DMc に変更している。

【0024】実施の形態2に係る半導体装置は上記の如く構成されているので、実施の形態1に掲げる効果のはかに以下の効果を実現する。オーブンドレンイン形式の出力回路に限定されないので本半導体装置の応用範囲が広がる。

【0025】
【発明の効果】本発明は以上のように構成されているの

で、以下に掲げる効果を奏す。駆動線ドライバ回路を1つにすることにより、出力データの立ち上がり時間と立ち下がり時間との制御回路も1つで済み、回路規模を小さく押さえることができる。

【図2】また、駆動線負荷が出力電流能力の組み合せにより変化せず、駆動線の立ち上がり時間と立ち下がり時間とが一定に保たれる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係る半導体装置の構成図である。

【図2】図1の信号波形を示す波形図である。

【図3】本発明の実施の形態2に係る半導体装置の構成図である。

【図4】従来の半導体装置の一例を示す構成図である。

【図5】図3の信号波形を示す波形図である。

【図6】従来の半導体装置の一例を示す構成図である。

【符号の説明】

a ~ c 出力電流調整信号

a b ~ c b 出力電流調整信号

DRV 駆動線

DMa ~ DMc 負荷調整トランジスタ

ga ~ gc 駆動信号

IDMa ~ IDMc インバータ素子

INV1 ~ INV3 インバータ

ITRa ~ ITRc インバータ素子

na ~ nc 出力回路非活性化回路

SL1n ~ SL3n 調整信号

SL1p ~ SL3p 調整信号

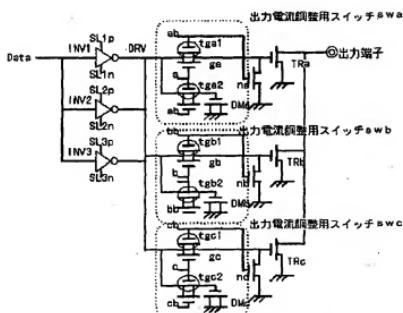
s wa ~ swc 出力電流調整用スイッチ

t ga1 ~ tgc1 第1トランスマッゲート

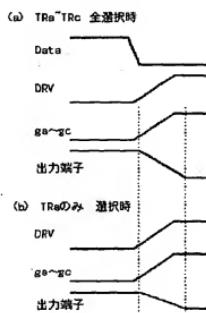
t ga2 ~ tgc2 第2トランスマッゲート

TRA ~ TRc 出力トランジスタ

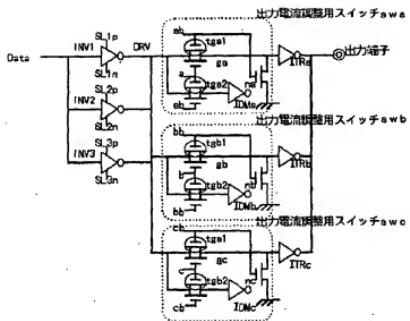
【図1】



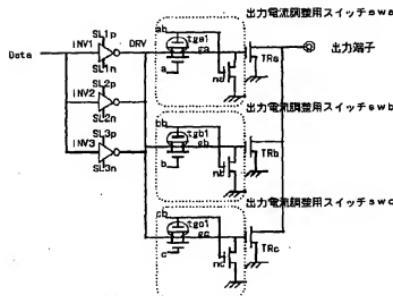
【図2】



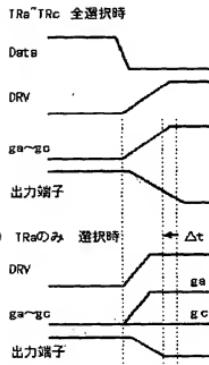
【図3】



【図4】



【図5】



【図6】

